

[Original document](#)

INPUT SWITCHING CIRCUIT

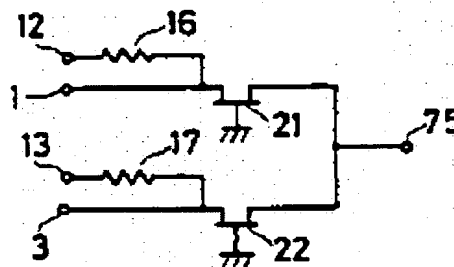
Patent number: JP63142716
Publication date: 1988-06-15
Inventor: SUGITA HAJIME; NAGASHIMA TOSHIO; MOGI MINORU
Applicant: HITACHI LTD
Classification:
- international: H03K17/693
- european:
Application number: JP19860287834 19861204
Priority number(s): JP19860287834 19861204

[View INPADOC patent family](#)[Report a data error here](#)

Abstract of JP63142716

PURPOSE:To enable the switching of a high frequency signal by grounding the gate of an FET for switching, setting a drain as an output in the case of outputting, or setting a source as an input in the case of inputting, changing the source voltage on an input side so as to execute switching actions and switching on the FET for switching if an impressed voltage on a source side is low electric potential.

CONSTITUTION:If a DC control voltage impressing terminal is assumed as high electric potential, and 13 is assumed as low electric potential, the FET 21 turns off and the FET 22 turns on and if the DC control voltage impressing terminal 12 is made low electric potential and 13 is made high electric potential, the FET 21 turns on and the FET 22 turns off. Thus, the switching of one input signal is executed with two elements of an FET and a resistance and the gate of the FET is grounded so as to constitute a circuit, so that the loss of high frequency is made small and an input/output isolation can be made high. The circuit is suitable for switching and integrating a large number of wide band input signals and balanced input high frequency signals.



Data supplied from the *esp@cenet* database - Worldwide

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-142716

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)6月15日

H 03 K 17/693

A-7190-5J

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 入力切換回路

⑰ 特 願 昭61-287834

⑱ 出 願 昭61(1986)12月4日

⑲ 発 明 者 杉 田 肇 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 発 明 者 長 嶋 敏 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 発 明 者 茂 木 稔 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 並木 昭夫

明 細 書

1. 発明の名称

入力切換回路

2. 特許請求の範囲

1. オン状態にあるときは入力される高周波信号を出力し、オフ状態にあるときは入力される高周波信号を出力しない入力切換回路において、

ゲート側を直接接地されたFET(電界効果形トランジスタ)を有し、該FETのソース側またはドレイン側を入力側、ドレイン側またはソース側を出力側とし、オン、オフ切換制御電圧は高周波信号と共に入力側に印加して前記FETのオン、オフ状態を制御することを特徴とする入力切換回路。

2. 特許請求の範囲第1項記載の入力切換回路を出力側を共通として並列接続し、一方の入力切換回路をオン状態にしたとき他方の入力切換回路をオフ状態とするように、両入力切換回路のオン、オフ状態を互いに逆に切り換え制御

することを特徴とする入力切換回路。

3. 特許請求の範囲第2項記載の入力切換回路において、オン、オフ切換制御電圧は抵抗を介して印加し、該切換制御電圧を低電位にしたときにFETがオンし、高電位にしたときにオフとすることを特徴とする入力切換回路。

4. 特許請求の範囲第3項記載の入力切換回路において、2組の入力切換回路のうち、いずれか一方の入力切換回路の入力側に増幅回路を付加し、増幅回路を付加された側の入力切換回路のオン動作時にはその切換用FETのソース側制御電圧を低電位にすると共に、増幅回路を付加されない側の入力切換回路をオフ動作させるためそのソース側制御電圧として印加される高電位の電圧を前記増幅回路に印加して動作させ、高電位のかかる制御電圧を変化させて増幅回路の利得を制御することを特徴とする入力切換回路。

5. 特許請求の範囲第3項記載の入力切換回路において、2組の入力切換回路のうち、いず

れか一方を、ゲートが接地されたFETから成りそのソースより信号が入力されてドレインより出力する第1のスイッチ回路により構成し、他方を、ゲートが直流的に接地されたFETから成りそのゲートより信号が入力されドレインより出力される第2のスイッチ回路により構成し、前記第1、第2のスイッチ回路のドレイン端子同士を接続すると共に、該第1、第2のスイッチ回路においてFETのソース端の電圧を低電位と高電位に切り換えてスイッチング動作を行わせることを特徴とする入力切換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、オン状態にあるときは入力される高周波信号を出力し、オフ状態にあるときは入力される高周波信号を出力しない入力切換回路に関するものであり、テレビ受信機におけるUHFとVHFの切換受信回路に好適に用い得る如き入力切換回路に関するものである。

〔従来の技術〕

子1から入力される高周波信号をFET78を介してアースへ流し減衰させて、高周波信号がスイッチ用FET21を漏れ出て出力端子75に至らないようにしている。

なお、この種のスイッチ回路を記載した文献として例えば特開昭59-80974号公報、特開昭60-137104号公報等を挙げることができる。

〔発明が解決しようとする問題点〕

上記従来の高周波信号入力切換回路は、すでに述べたように、スイッチ用FET21のゲートに電圧を加えてオンとする回路で、オフ時には入出力間のアイソレーション(分離)を確保するため、ゲートを高周波的に接地したり、入力側をアースに接続したりしなければならず、コンデンサ80と、別の切換用FET78、79と制御端子13と抵抗17を付加しており、これらの素子において高周波損失が発生し、高周波特性が良好でなくなるという問題がある。また集積化した場合、容量の形成には大きなチップ面積を必要とするため、

従来のFET(電界効果形トランジスタ)を用いた広帯域高周波信号の入力切換回路としての高周波スイッチを第2図に示す。

第2図において、1は高周波信号入力端子、75は信号出力端子、21はスイッチ用FET、16、17はそれぞれ抵抗、80はコンデンサ、78、79はそれぞれFET、12、13はそれぞれ制御電圧印加端子、である。

回路動作は次の如くである。即ち、スイッチ用FET21のゲートに抵抗16を介して制御電圧印加端子12から制御電圧を印加するか、しないかにより該FET21のチャネル抵抗を変えてそのオン、オフ動作を制御する。オン時には入力端子1から入力された高周波信号が該FET21を通過して出力端子75に至り、オフ時には通過しない。

オフ時には、もう一方の制御電圧印加端子13から電圧を印加してFET78、79を導通させてスイッチ用FET21のゲートをコンデンサ80、FET79を介して接地すると共に、入力端

多入力の入力切換回路を小形に集積化するには問題があった。

本発明の目的は、一つまたは複数の入力系統の高周波信号の切換を、高周波損失を少なく、かつ集積化に適するよう容量不要の構成で可能とする入力切換回路を提供することにある。

〔問題点を解決するための手段〕

上記目的は、高周波入力信号のオン、オフ切換用としてスイッチ用FETを用い、そのゲートを接地してドレインを出力なら出力、ソースを入力なら入力とし、入力側のソース電圧を変えてオン、オフのスイッチング動作をさせ、ソース側印加電圧が低電位の場合にスイッチ用FETがオンとなる構成とすることにより達成される。

〔作用〕

スイッチ用FETのゲートを接地し、ソースに高周波信号と共に制御電圧を入力する構成にして、オフ時にはFETがピンチオフ状態となるような高電位のソース電圧を制御電圧として与え、オン時にはFETがピンチオフとならないような低電

位のソース電圧を制御電圧として与えることにより高周波入力信号のオン、オフ切換を行なう。スイッチ用FETはゲート接地のため、従来ゲートを高周波的に接地するため必要としたコンデンサなどが不要になり、高周波損失が改善されると共に、集積化した場合のチップ面積が小さくでき、オフ時のアイソレーションが良い集積化に適した入力切換回路が構成できる。

(実施例)

次に図を参照して本発明の実施例を説明する。

第1図は本発明の一実施例を示す回路図である。同図に示した実施例は、1入力信号をオン、オフする入力切換回路を2個、出力側を共通に並列接続することにより構成した実施例である。

第1図において、1及び3が高周波信号入力端子、75が高周波信号出力端子、12及び13が直流制御電圧印加端子、16及び17が抵抗、21及び22が信号切換用FETで、2系統の入力信号切換を行なう。FET21及び22はゲート接地であり、入力側をソース、出力側をドレイン

とする。ソース電圧を正の高電位にするとオフとなり、負の低電圧にするとオンとなる。デプレッション型FETではソース電圧が正の低電位でもオンとなる。

入力端子1より入力された高周波信号は、ゲート接地FET21のソースに入力され、制御電圧印加端子12より印加される直流制御電圧によってFET21のゲート、ソース間電圧が変わり、FET21がオン時には信号がドレイン側に流れて端子75に出力され、オフ時には抵抗16に流れ、このようにゲート接地FETのために入出力アイソレーションが高くとれる。入力端子3より入力された高周波信号についても同様である。

従って、直流制御電圧印加端子12を高電位、13を低電位にすると、FET21がオフ、FET22がオンとなり、直流制御電圧印加端子12を低電位、13を高電位にすると、FET21がオン、FET22がオフとなる。

このように1つの入力信号の切換をFETと抵抗の2素子で行ない、しかもそのFETをゲート

接地とする回路構成としたことにより、高周波損失が少なく、入出力アイソレーションも高くとれる。このため、多数の広帯域入力信号や平衡入力高周波信号の切換に用いた場合、効果があり、集積化に適する。

第3図は本発明の別の実施例を示す回路図である。同図に示す実施例は、FETダブルバランスミキサに本発明による入力切換回路を実例した例である。

第3図において、1から4が局部発振信号入力端子、5から8が高周波信号入端子でそれぞれ2系統の平衡信号用端子から成っている。9及び10は周波数変換された平衡信号出力端子で、11が電源供給端子である。12及び13は切換制御信号印加端子で14が切換制御回路である。15はFETによるダブルバランスミキサ、25から28がデプレッション型FET、29及び30がドレイン負荷抵抗である。

16から24は本発明による入力切換回路を構成する素子で、扱う入力信号が平衡信号のため、

平衡回路を構成する対称な素子にはダッシュ'を付けている。以下説明はダッシュ'を付した回路については省略する。

16から19は切換制御電圧を信号入力端子に印加するための抵抗、21から24が切換用デプレッション型FETで、平衡信号入力端子1から8とダブルバランスミキサ15の間に接続されている。20はFET25から28のゲート電圧を加えるための抵抗である。端子12及び13には片方にアース電位を、もう一方に電源電圧を加えて入力信号の切換を行なう。

例えば端子12がアース電位の場合、FET21及び23はゲート接地となるためソース電圧V_sが低電位となりソースとドレイン間のインピーダンスが小さくなるので、入力信号が通過する。同時に端子13は電源電圧が加わりFET22及び24のソース電圧V_sが高電位となりピンチオフ状態となる。この場合のソースとドレイン間インピーダンスは、オンのFETに比べて十分大きいので入力信号は通過せず、ほぼ開放となる。

次に、ダブルバランスミキサ15のゲート側の切換回路の動作について説明する。

端子12がアース電位の場合、FET21がオンとなり入力端子1及び2より入力された平衡信号はミキサ15のゲートに加わる。端子13は電源電圧のため、FET22はオフとなり入力端子3及び4から入力された平衡信号は大きく減衰する。ここで、ミキサ15のゲート電圧は、抵抗20とFET21のオン抵抗及び抵抗16により分圧された電圧となる。

次に、ダブルバランスミキサ15のソース側入力切換回路動作について説明する。端子12がアース電位となった場合、FET23がオンとなり入力端子5及び6より入力された平衡信号がミキサ15のソース側に加わる。オフ状態のFET24により入力端子7及び8に入力された平衡信号はミキサ15に加わらない。この場合、FET23と抵抗18によって定電流源となりミキサ15を安定に動作させることができる。又、従来定電流源として動作させていたFETを信号切換用F

ETと兼用することにより、回路素子の削減が図れ集積化に適する。

本実施例のダブルバランスミキサのソース側端子のように、低入力インピーダンス端子の入力切換回路に用いた場合は、制御電圧印加用抵抗の影響を少なくでき、より低損失な切換回路を構成することができる。

第4図は、不平衡入力信号の切換えを行なうミキサに本発明を適用した実施例を示す回路図である。

同図において、1及び2は局部発振信号平衡入力端子、39及び40は2系統の不平衡信号入力端子である。35及び36はスイッチ用FET、37及び38は切換電圧印加用抵抗、33及び34がミキサ用FET、31及び32が負荷抵抗である。12及び13は切換電圧を印加する端子である。制御電圧入力端子12が低電位の時にFET35がオンとなり、入力端子39より入力された不平衡信号はミキサ用FET33及び34のソース側に加わる。制御電圧入力端子13は高電位

であるためFET36はオフであり、入力端子40から入力された不平衡信号はミキサ用FETに加わらない。制御電圧入力端子13が低電位の場合は、入力端子40から入力された不平衡信号がミキサ用FETのソース側に加わり、制御電圧入力端子12が高電位のため入力端子39から入力された不平衡信号はミキサ用FETに加わらない。

従って、オンとなる入力切換回路が定電流源としての動作も兼ねるため、良好なミキシングができ回路素子の削減となる。

第5図は、平衡出力増幅器に本発明による不平衡入力切換回路を接続した場合の実施例を示す回路図である。

同図において、41及び42は2系統の不平衡信号入力端子である。43は高周波接地端子、44が高周波接地用コンデンサである。12及び13が切換制御印加電圧入力端子、55及び56がスイッチ用FET、47及び48は増幅用FET、45及び46がドレイン負荷抵抗、49のFETと51の抵抗で定電流源回路を構成している。5

3のFETと54の抵抗は、入力切換用のFET及び抵抗と同じ素子値とする。

ここでFET53はゲート接地でオン状態である。例えば制御電圧入力端子12が低電位の場合、入力端子41から入力された不平衡信号はオンされたFET55を通りFET47のゲートへ加わる。FET47及び48のゲート電圧は、ソース側定電流回路及びゲート側オンFETと抵抗が同じ動作状態にあるため等しく、FET48のゲートにはオン状態のFET53を介して高周波的に接地されている端子43があるため、バイアス変動のない平衡信号が出力できる。

第6図は、第3図のミキサのゲート側切換回路の制御電圧を抵抗の代わりにインダクタンスを介して加える実施例である。

同図において、61及び62がインダクタンス、59及び60が切換制御電圧印加端子である。ゲート側入力切換回路の他は第1図と同じためその説明を省略する。

制御電圧印加端子59が低電位の場合、FET

21がオンとなり入力端子1及び2に加えられた平衡信号はミクサのゲート側に加わる。制御電圧印加端子59を高電位とすると、FET21はオフとなり入力信号はミクサに加わらない。端子60側についても同様である。

第6図では、ミクサのゲート電圧が自己バイアスとなる構成であり、制御電圧印加端子59又は60に加える電圧を連続的に変化させると、スイッチ用FETの内部インピーダンスが変わり、ミクサのゲート電圧を変えることができ、切換制御と共にミクサの変換利得を変化させることが可能である。

第7図は、テレビ用チューナ装置に本発明による入力切換回路を接続した実施例を示す構成図である。

同図において5及び6はUHF帯入力端子、7及び8はVHF帯入力端子、63はUHF帯発振器、64はVHF帯発振器、65はUHF帯入力増幅器、66及び67が本発明に係るゲート接地FETと抵抗による2入力切換回路、68は発振

信号のバッファ増幅器、69はダブルバランスミクサ、70及び72は中間周波数増幅器、71は段間フィルタであり、各回路の電源については矢印で示してある。

UHF帯で動作させる時は制御電圧入力端子12を低電位、制御電圧入力端子13を高電位にしてUHF帯発振器63とUHF帯入力増幅器65を動作させ、VHF帯で動作させる時は制御電圧入力端子12を高電位、制御電圧入力端子13を低電位としてVHF帯発振器64を動作させる。

このため、2台の発振器63及び64は同時に発振動作をしないので、相互干渉を起こさない。切換によって使用しない回路については、電源電圧を低電位にするため消費電力を少なくでき、ミクサ等のシステム回路用電源端子11と切換制御電圧端子12及び13が分離しているために、電源間のアイソレーションが良い。

第8図は、第7図の入力増幅器65と切換回路66の回路例を示す回路図である。同図において、74が増幅回路、75が切換信号出力端子である。

制御電圧入力端子12が低電位で13が高電位の場合、UHF帯入力端子5及び6から入力された信号は増幅回路74により増幅されて、オン状態の切換用FET23に加わり、出力端子75に発生する。VHF帯入力端子7及び8から入力された信号は、制御電圧入力端子13が高電位のため切換用FET24がオフとなり出力側に現れない。制御電圧入力端子13が低電位で制御電圧入力端子12が高電位となると、FET23がオフとなりUHF帯入力端子5及び6からの入力信号は通過できないが、FET24がオンとなりVHF帯入力端子7及び8からの入力信号が通過する。

ここで、FETをオフにするための制御電圧をある範囲で変動させても切換動作に影響しないため、高電位の制御電圧値を一定の範囲で変えることにより、増幅回路の利得を制御できる。更に、低電位の制御電圧値を変えると切換動作電流が変化し、出力側に接続されるミクサあるいは増幅器の動作電流が変わり、利得が制御できる。

第9図は、第7図の入力増幅器65と切換回路

66の部分の別の回路例を示した回路図である。同図において、77はゲート入力構成のFET切換回路、76はFET23のゲート抵抗である。

制御電圧入力端子12が低電位の場合には、ゲート抵抗76に電流はほとんど流れずFET23のゲート電圧が低電位となるのでオン状態になり、ゲートから入力された場合は通過し、制御電圧入力端子13が高電位のためFET24はオフとなる。

制御電圧入力端子12が高電位の場合、FET23のゲート電圧が高電位となるためオフとなり、13が低電位のためFET24はオンになる。

TVチューナでミクサ等での信号減衰量が大きいUHF帯の信号を、ゲート入力構成の切換回路に入力することにより、ソース入力構成の切換回路に入力するVHF帯の信号よりも利得を大きくとれる。この場合、UHF側入力インピーダンスはゲート入力のためにソース入力に比べ高くなるが、周波数が高いことにより低入力インピーダンスになる。又、オン時の低電位の制御電圧値を変

えると動作電流が変化するため利得を可変にすることができる。

以上のように本発明による入力切換回路は、切換制御電圧を切換動作の他に有効に利用することにより、簡単な構成で利得制御が可能であり、集積化に適する。

〔発明の効果〕

本発明によれば、本発明による入力切換回路をミキサや増幅器の入出力信号切換端子に用いた場合、スイッチ用FETと制御電圧印加用抵抗だけで高周波入力信号の切換を行ない、更にオフ時にはスイッチ用FETがゲート接地のために入出力のアイソレーションが良く、高周波損失も少なく、また容量も不要なので、集積化に適した切換回路を構成できるという利点がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は従来の入力切換回路としての高周波スイッチを示す回路図、第3図乃至第6図はそれぞれ本発明の他の実施例を示す回路図、第7図は本発明の

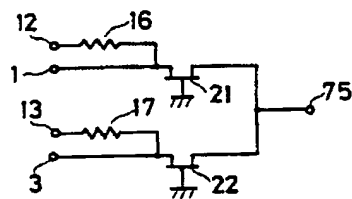
一実施例を適用して構成したチューナの構成図、第8図及び第9図はそれぞれ入力信号の増幅機能を付加した場合の本発明の実施例を示す回路図、である。

符号の説明

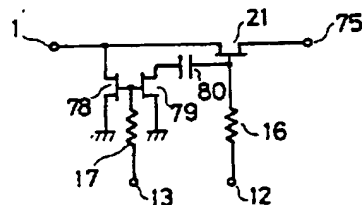
1, 3…信号入力端子、12, 13…切換制御電圧印加端子、16, 17…切換制御電圧印加抵抗、21, 22…切換用ゲート接地FET、75…信号出力端子

代理人 弁理士 並 木 昭 夫

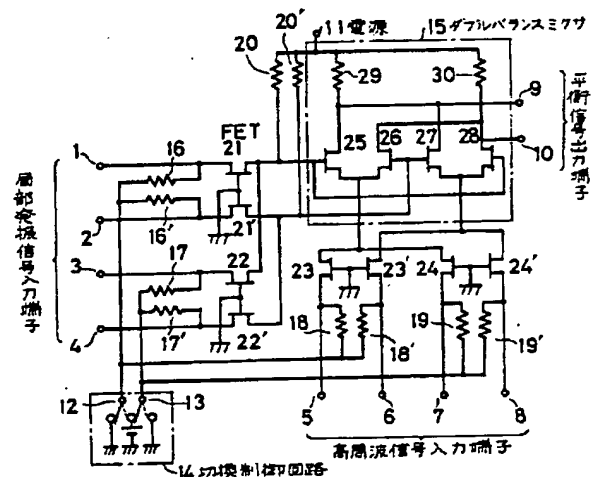
第1図



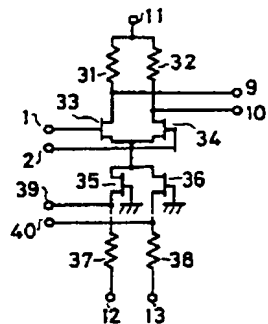
第2図



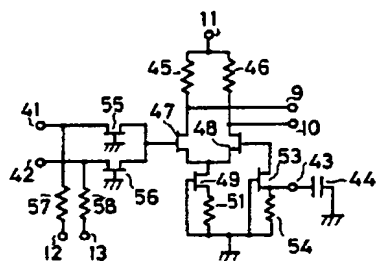
第3図



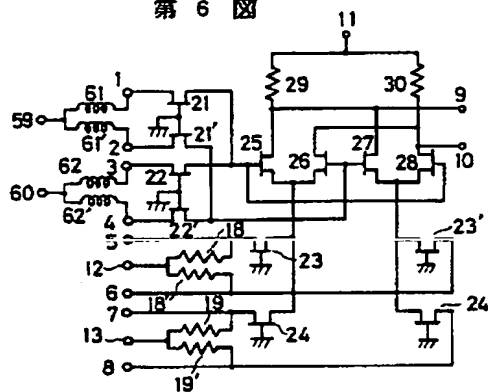
第 4 図



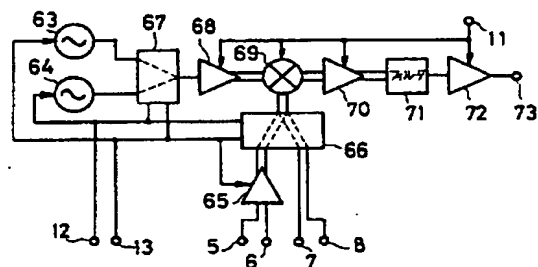
第 5 図



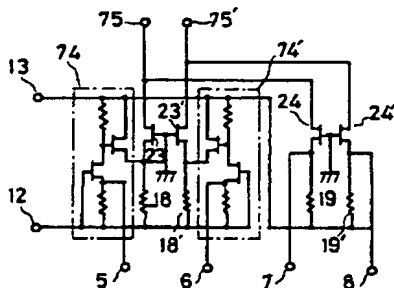
第 6 図



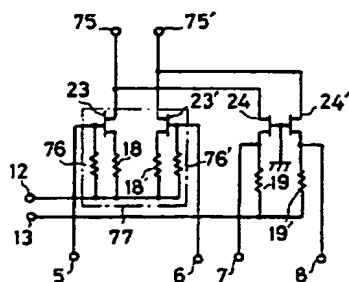
第 7 図



第 8 図



第 9 図



THIS PAGE BLANK (USPTO)